

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-054043

(43)Date of publication of application : 21.02.1992

(51)Int.Cl.

H04L 25/03

H04L 25/02

(21)Application number : 02-162956

(71)Applicant : FUJITSU LTD

(22)Date of filing : 22.06.1990

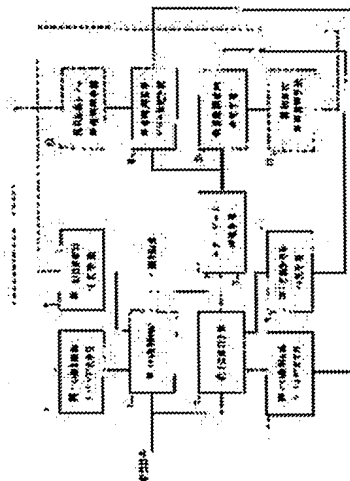
(72)Inventor : YAMANE KAZUO  
KITASAGAMI HIROO  
ONISHI MASARU  
SUZUKI KAZUHIRO  
SHIMA MICHIKAZU  
YAKO HIROSHI  
TSUDA TAKASHI  
NAGAKUBO YASUKATSU

## (54) RECEPTION DATA IDENTIFICATION CIRCUIT

## (57)Abstract:

PURPOSE: To realize a reception data identification circuit obtaining an optimum identification level and an identification phase by analyzing an eye pattern of a received equalizing waveform.

CONSTITUTION: An optimum identification reference level decision means 8 compares error rates when a 2nd identification reference level is set above and under a 1st identification reference level respectively to obtain an optimum identification reference level. An optimum identification phase decision means 9 compares error rates when a phase of a 2nd identification timing signal is set before and after a 1st identification timing signal respectively to obtain an optimum phase of an identification timing signal. Moreover, this circuit is provided with an identification reference level optimum control means 10 controlling the 1st identification reference level to be equal to the optimum identification reference level and an identification phase optimum control means 11 controlling the phase of the 1st identification timing signal 1 to be equal to the phase of the optimum identification timing signal.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]



[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-54043

⑤ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)2月21日

H 04 L 25/03  
25/02

E  
3 0 2 B

8226-5K  
8226-5K

審査請求 未請求 請求項の数 28 (全28頁)

⑭ 発明の名称 受信データ識別回路

⑯ 特 願 平2-162956

⑰ 出 願 平2(1990)6月22日

⑱ 発 明 者 山 根 一 雄 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑲ 発 明 者 北 相 模 博 夫 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑳ 発 明 者 大 西 賢 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

㉑ 発 明 者 鈴 木 和 裕 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

㉒ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉓ 代 理 人 弁理士 青 木 朗 外4名

最終頁に続く

明 細 書

1. 発明の名称

受信データ識別回路

2. 特許請求の範囲

1. 第1の識別基準レベルと第1の識別タイミング信号とを与えられて、該第1の識別タイミング信号のタイミングにおいて、前記第1の識別基準レベルを用いて受信データのデジタルレベルを識別する第1の識別手段(1)と、

前記第1の識別基準レベルを可変制御する第1の識別基準レベル可変制御手段(3)と、

前記第1の識別タイミング信号の位相を可変制御する第1の識別位相可変制御手段(5)と、

第2の識別基準レベルと第2の識別タイミング信号とを与えられて、該第2の識別タイミング信号のタイミングにおいて、前記第2の識別基準レベルを用いて受信データのデジタルレベルを識別する第2の識別手段(2)と、

前記第2の識別基準レベルを可変制御する第2の識別基準レベル可変制御手段(4)と、

前記第2の識別タイミング信号の位相を可変制御する第2の識別位相可変制御手段(6)と、

前記第1の識別手段(1)による識別結果と前記第2の識別手段(2)による識別結果との違いの発生率をエラーレートとして求めるエラーレート測定手段(7)と、

前記第2の識別基準レベルを、前記第1の識別基準レベルの上および下に、それぞれ設定したときのエラーレートを比較して、最適の識別基準レベルを求める最適識別基準レベル決定手段(8)と、

前記第2の識別タイミング信号の位相を、前記第1の識別タイミング信号の位相の前および後に、それぞれ設定したときのエラーレートを比較して、最適の識別タイミング信号の位相を求める最適識別位相決定手段(9)とを設けてなることを特徴とする受信データ識別回路。

2. さらに、前記第1の識別基準レベルを前記最適の識別基準レベルに等しくなるように制御する識別基準レベル最適制御手段(10)と、



## 特開平4-54043 (2)

前記第1の識別タイミング信号の位相を前記最適の識別タイミング信号の位相に等しくなるように制御する識別位相最適制御手段(11)とを設けてなる請求項1記載の受信データ識別回路。

3. 前記第1の識別基準レベルの制御および前記第1の識別タイミング信号の位相の制御は、互いに異なるタイミングで行われる請求項2記載の受信データ識別回路。

4. さらに、外部からの指令を受けて前記識別基準レベル最適制御手段(10)および識別位相最適制御手段(11)を起動する第1の起動指令受信手段を設けてなる請求項2記載の受信データ識別回路。

5. さらに、外部からの指令を受けて前記最適識別基準レベル決定手段(8)および最適識別位相決定手段(9)を起動する第2の起動指令受信手段(150)を設けてなる請求項2記載の受信データ識別回路。

6. さらに、前記第1の識別基準レベルおよび前記第1の識別タイミング信号の位相の初期値を

ータ識別回路。

8. さらに、前記エラーレートが所定のレベルを超えるか否かを判定して、超えるときは信号断と判定する信号断判定手段を設けてなる請求項1または2記載の受信データ識別回路。

9. さらに、所定の時刻に求めた前記エラーレートを記憶する基準エラーレート記憶手段(149)と、

新たに求めた前記エラーレートを、前記基準エラーレート記憶手段(149)に記憶するエラーレートと比較して劣化の程度が所定のレベルを超えるか否かを判定する劣化判定手段(148)とを設けてなる請求項1または2記載の受信データ識別回路。

10. さらに、外部からの指令を受けて前記劣化判定手段(148)を起動する起動指令受信手段(150)を設けてなる請求項8記載の受信データ識別回路。

11. 第1の識別基準レベルと第1の識別タイミング信号とを与えられて、該第1の識別タイミ

記憶する識別基準初期値記憶手段(147)を設けてなる請求項2記載の受信データ識別回路。

7. さらに、受信信号レベルの積分値を求める受信信号レベル積分手段(133)と、初期設定時に、平均値が第1の識別基準レベルの初期値に等しい信号を受信したときの前記受信信号レベル積分手段(133)の出力に基づいて前記第1の識別基準レベルを設定する識別基準レベル初期値設定手段(130)と、

受信信号を前記第1の識別タイミング信号の位相に同期してラッチするラッチ手段(124)と、

初期設定時に、レベルが交番する信号を受信したときの前記ラッチ手段(124)の出力と該受信信号との位相差の平均値を求める位相差積分手段(134)と、

初期設定時に、前記位相差積分手段(134)の出力電圧が、前記第2の識別タイミング信号の位相が1タイムスロットの中央にあるときの出力電圧に一致するように制御する初期位相制御手段(130)とを有してなる請求項2記載の受信デ

ング信号のタイミングにおいて、前記第1の識別基準レベルを用いて受信データのデジタルレベルを識別する第1の識別手段(1')と、

前記第1の識別基準レベルを可変制御する第1の識別基準レベル可変制御手段(3)と、

前記第1の識別タイミング信号の位相を可変制御する第1の識別位相可変制御手段(5)と、

第2の識別基準レベルと第2の識別タイミング信号とを与えられて、該第2の識別タイミング信号のタイミングにおいて、前記第2の識別基準レベルを用いて受信データのデジタルレベルを識別する第2の識別手段(2')と、

前記第2の識別基準レベルを可変制御する第2の識別基準レベル可変制御手段(4')と、

前記第2の識別タイミング信号の位相を可変制御する第2の識別位相可変制御手段(6')と、

前記第1の識別手段(1)による識別結果と前記第2の識別手段(2')による識別結果との違いの発生率をエラーレートとして求めるエラーレート測定手段(7')と、





## 特開平4-54043(3)

前記第2の識別基準レベルおよび前記第2の識別タイミング信号の位相を、前記第1の識別基準レベルの上および下、そして、前記第1の識別タイミング信号の位相の前および後に、該第1の識別基準レベルおよび第1の識別タイミング信号の位相に対して所定の相対的位置に分布する複数の設定点においてそれぞれ設定したときのエラーレートを求めるエラーレート分布検出手段(30)と、

前記エラーレート分布検出手段(30)の出力に基づいて、前記第1の識別基準レベルおよび第1の識別タイミング信号の位相の最適の組合せを求める最適識別点決定手段(31)とを設けてなることを特徴とする受信データ識別回路。

12. さらに、前記第1の識別基準レベルおよび前記第1の識別タイミング信号の位相を前記最適の組合せのレベルおよび位相にそれぞれ等しくなるように制御する識別点最適制御手段(32)を設けてなる請求項11記載の受信データ識別回路。

13. さらに、外部からの指令を受けて前記識別点最適制御手段(32)を起動する第1の起動指令受信手段(12')を設けてなる請求項12記載の受信データ識別回路。

14. さらに、外部からの指令を受けて前記エラーレート分布検出手段(30)を起動する第2の起動指令受信手段を設けてなる請求項12記載の受信データ識別回路。

15. さらに、外部からの指令を受けて前記エラーレート分布検出手段(30)の出力を外部に出力するエラーレート分布出力手段を設けてなる請求項14記載の受信データ識別回路。

16. さらに、前記第1の識別基準レベルおよび前記第1の識別タイミング信号の位相の初期値を記憶する識別基準初期値記憶手段(147)を設けてなる請求項12記載の受信データ識別回路。

17. さらに、受信信号レベルの積分値を求める受信信号レベル積分手段(133)と、

初期設定時に、平均値が第1の識別基準レベルの初期値に等しい信号を受信したときの前記受信

信号レベル積分手段(133)の出力に基づいて前記第1の識別基準レベルを設定する識別基準レベル初期値設定手段(130)と、

受信信号を前記第1の識別タイミング信号の位相に同期してラッチするラッチ手段(124)と、

初期設定時に、レベルが交番する信号を受信したときの前記ラッチ手段(124)の出力と該受信信号との位相差の平均値を求める位相差積分手段(134)と、

初期設定時に、前記位相差積分手段(134)の出力電圧が、前記第2の識別タイミング信号の位相が1タイムスロットの中央にあるときの出力電圧に一致するように制御する初期位相制御手段(130)とを有してなる請求項12記載の受信データ識別回路。

18. さらに、前記第1の識別基準レベルおよび前記第1の識別基準タイミング信号の位相から所定の範囲内にある設定点において検出された前記エラーレートが所定のレベルを超えるか否かを判定して、超えるときは信号断と判定する信号断

判定手段を設けてなる請求項11または12記載の受信データ識別回路。

19. さらに、所定の時刻に求めた前記エラーレートの分布を記憶する基準エラーレート記憶手段(149)と、

新たに求めた前記エラーレートの分布を、前記基準エラーレート記憶手段(149)に記憶するエラーレートの分布と比較して劣化の程度が所定のレベルを超えるか否かを判定する劣化判定手段(148)とを設けてなる請求項11または12記載の受信データ識別回路。

20. さらに、外部からの指令を受けて前記劣化判定手段(148)を起動する起動指令受信手段(150)を設けてなる請求項19記載の受信データ識別回路。

21. 第1の識別基準レベルと第1の識別タイミング信号とを与えられて、該第1の識別タイミング信号のタイミングにおいて、前記第1の識別基準レベルを用いて受信データのデジタルレベルを識別する第1の識別手段(1)と、



## 特開平4-54043 (4)

前記第1の識別基準レベルを可変制御する第1の識別基準レベル可変制御手段(3)と、

前記第1の識別タイミング信号の位相を可変制御する第1の識別位相可変制御手段(5)と、

前記第1の識別基準レベルおよび第1の識別タイミング信号の位相に対して各々所定の相対的位置に分布する複数の設定点に第2の識別基準レベルおよび第2の識別タイミング信号の位相を設定されて、それぞれの設定点において受信データのデジタルレベルを識別する複数の第2の識別手段(2')と、

前記第2の識別基準レベルを前記第1の識別基準レベルに応じて可変制御する第2の識別基準レベル可変制御手段(4')と、

前記第2の識別タイミング信号の位相を前記第1の識別タイミング信号の位相に応じて可変制御する第2の識別位相可変制御手段(6')と、

前記第1の識別手段(1)による識別結果と前記複数の第2の識別手段(2')による識別結果との違いの発生率を、それぞれエラーレートとし

て求めるエラーレート分布検出手段(7')と、

前記エラーレート分布検出手段(30')の出力に基づいて、前記第1の識別基準レベルおよび第1の識別タイミング信号の位相の最適の組合せを求める最適識別点決定手段(31')とを設けてなることを特徴とする受信データ識別回路。

22. さらに、前記第1の識別基準レベルおよび前記第1の識別タイミング信号の位相を前記最適の組合せのレベルおよび位相にそれぞれ等しくなるように制御する識別点最適制御手段(32')を設けてなる請求項21記載の受信データ識別回路。

23. さらに、外部からの指令を受けて前記識別点最適制御手段(32')を起動する起動指令受信手段(150)を設けてなる請求項22記載の受信データ識別回路。

24. さらに、前記第1の識別基準レベルおよび前記第1の識別タイミング信号の位相の初期値を記憶する識別基準初期値記憶手段(147)を設けてなる請求項22記載の受信データ識別回路。

25. さらに、受信信号レベルの積分値を求める受信信号レベル積分手段(133)と、

初期設定時に、平均値が第1の識別基準レベルの初期値に等しい信号を受信したときの前記受信信号レベル積分手段(133)の出力に基づいて前記第1の識別基準レベルを設定する識別基準レベル初期値設定手段(130)と、

受信信号を前記第2の識別タイミング信号の位相に同期してラッチするラッチ手段(124)と、

初期設定時に、レベルが交番する信号を受信したときの前記ラッチ手段(124)の出力と該受信信号との位相差の平均値を求める位相差積分手段(134)と、

初期設定時に、前記位相差積分手段(134)の出力電圧が、前記第2の識別タイミング信号の位相が1タイムスロットの中央にあるときの出力電圧に一致するように制御する初期位相制御手段とを有してなる請求項22記載の受信データ識別回路。

26. さらに、前記第1の識別基準レベルおよ

び前記第1の識別基準タイミング信号の位相から所定の範囲内にある設定点において検出された前記エラーレートが所定のレベルを超えるか否かを判定して、超えるときは信号断と判定する信号断判定手段を設けてなる請求項21または22記載の受信データ識別回路。

27. さらに、所定の時刻に求めた前記エラーレートの分布を記憶する基準エラーレート記憶手段(149)と、

新たに求めた前記エラーレートの分布を、前記基準エラーレート記憶手段(149)に記憶するエラーレートの分布と比較して劣化の程度が所定のレベルを超えるか否かを判定する劣化判定手段(148)とを設けてなる請求項21または22記載の受信データ識別回路。

28. さらに、外部からの指令を受けて前記劣化判定手段(148)を起動する起動指令受信手段(148)を設けてなる請求項27記載の受信データ識別回路。



## 特開平4-54043 (5)

## 3. 発明の詳細な説明

## 〔概要〕

デジタル伝送装置内の受信装置におけるデータ識別回路に関し、

識別レベルの最適レベルだけでなく識別位相の最適位相をも同時に検出する受信データ識別回路を提供することを目的とし、

第1の識別基準レベルと第1の識別タイミング信号とを与えられて、該第1の識別タイミング信号のタイミングにおいて、前記第1の識別基準レベルを用いて受信データのデジタルレベルを識別する第1の識別手段と、前記第1の識別基準レベルを可変制御する第1の識別基準レベル可変制御手段と、前記第1の識別タイミング信号の位相を可変制御する第1の識別位相可変制御手段と、第2の識別基準レベルと第2の識別タイミング信号とを与えられて、該第2の識別タイミング信号のタイミングにおいて、前記第2の識別基準レベルを用いて受信データのデジタルレベルを識別する第2の識別手段と、前記第2の識別基準レベ

ルを可変制御する第2の識別基準レベル可変制御手段と、前記第2の識別タイミング信号の位相を可変制御する第2の識別位相可変制御手段と、前記第1の識別手段による識別結果と前記第2の識別手段による識別結果との違いの発生率をエラーレートとして求めるエラーレート測定手段と、前記第2の識別基準レベルを、前記第1の識別基準レベルの上および下に、それぞれ設定したときのエラーレートを比較して、最適の識別基準レベルを求める最適識別基準レベル決定手段と、前記第2の識別タイミング信号の位相を、前記第1の識別タイミング信号の位相の前および後に、それぞれ設定したときのエラーレートを比較して、最適の識別タイミング信号の位相を求める最適識別位相決定手段とを設けてなるように構成する。

## 〔産業上の利用分野〕

本発明は、デジタル伝送装置内の受信装置におけるデータ識別回路に関する。

伝送システムにおいては、伝送路における信号

の減衰、帯域制限効果を考慮して受信装置における識別条件を最適化することにより、SN比向上、高感度化、雑音耐力向上を計ることが要求されている。

## 〔従来の技術および発明が解決しようとする課題〕

従来の識別回路においては、識別レベルと識別位相とは、それぞれ、初期設定において最適化され、固定されていた。初期設定の後の受信回路の使用においては、温度変化を考慮した温度補償を行うものがある。また、エラーレート監視回路を設けて識別レベルの最適レベルを求めて自動的に最適レベルの調整を行う自動識別レベル調整回路を適用したものがある。

従来の自動識別レベル調整回路においては、常にエラー状況を監視しながら識別レベルの最適値を求めているので、伝送路条件が変化したときのノイズ変化、帯域制限の変化等には自動的に対応でき、さらに、受信回路各部の温度変化、電源の状態変化等にも自動的に対応できるので、非常に

大きな効果がある。しかしながら、光ファイバ伝送等においては、ファイバ分散の影響により、伝送距離によって最適識別位相が異なり、従来のように識別レベルのみを自動制御しても受信データ識別のための最適条件が満たされないという問題があった。そのため、従来は、このことが光ファイバ伝送による許容伝送距離に制限を与えていた。

本発明は、上記の問題点に鑑み、なされたもので、識別レベルの最適レベルだけでなく識別位相の最適位相をも同時に検出する受信データ識別回路を提供することを目的とし、さらに、識別回路の識別レベルおよび識別位相を、検出された最適の識別レベルおよび識別位相に等しくなるように自動的に調整する受信データ識別回路を提供することを目的とし、

さらに、受信等化波形のアイパターンを分析することにより最適の識別レベルおよび識別位相を求める受信データ識別回路を提供することを目的とし、

さらに、受信等化波形のアイパターンの偏りに



## 特開平4-54043 (6)

応じた最適の識別レベルおよび識別位相を求める受信データ識別回路を提供することを目的とし、

さらに、受信等化波形のアイパターンを分析することにより最適の識別レベルおよび識別位相を求める受信データ識別回路を提供することを目的とし、

さらに、比較的小規模の回路構成によって、様々なモードによるアイパターンの分析処理を可能にする受信データ識別回路を提供することを目的とし、

さらに、受信信号断を検出することが可能な受信データ識別回路を提供することを目的とし、

さらに、受信等化波形の劣化を検出することが可能な受信データ識別回路を提供することを目的とし、

さらに、外部からの操作、特に、遠隔地からの操作により、最適識別レベルおよび最適識別位相の制御、アイパターンの監視等を行うことが可能な受信データ識別回路を提供することを目的とし、

さらに、最適識別レベルおよび最適識別位相の

初期設定を外部からの制御によって行わせることが可能な受信データ識別回路を提供することを目的とするものである。

## 〔課題を解決するための手段〕

第1図は、本発明の第1の形態の基本構成を示す図である。

第1図において、1は第1の識別手段、2は第2の識別手段、3は第1の識別基準レベル可変制御手段、4は第2の識別基準レベル可変制御手段、5は第1の識別位相可変制御手段、6は第2の識別位相可変制御手段、7はエラーレート測定手段、8は最適識別基準レベル決定手段、9は最適識別位相決定手段、10は識別基準レベル最適制御手段、そして、11は識別位相最適制御手段である。

第1の識別手段1は、第1の識別基準レベルと第1の識別タイミング信号とを与えられて、該第1の識別タイミング信号のタイミングにおいて、前記第1の識別基準レベルを用いて受信データのデジタルレベルを識別する。

第1の識別基準レベル可変制御手段3は、前記第1の識別基準レベルを可変制御する。第1の識別位相可変制御手段5は、前記第1の識別タイミング信号の位相を可変制御する。

第2の識別手段2は、第2の識別基準レベルと第2の識別タイミング信号とを与えられて、該第2の識別タイミング信号のタイミングにおいて、前記第2の識別基準レベルを用いて受信データのデジタルレベルを識別する。

第2の識別基準レベル可変制御手段4は、前記第2の識別基準レベルを可変制御する。第2の識別位相可変制御手段6は、前記第2の識別タイミング信号の位相を可変制御する。

エラーレート測定手段7は、前記第1の識別手段1による識別結果と前記第2の識別手段2による識別結果との違いの発生率をエラーレートとして求める。

最適識別基準レベル決定手段8は、前記第2の識別基準レベルを、前記第1の識別基準レベルの上および下に、それぞれ設定したときのエラーレ

ートを比較して、最適の識別基準レベルを求める。

最適識別位相決定手段9は、前記第2の識別タイミング信号の位相を、前記第1の識別タイミング信号の位相の前および後に、それぞれ設定したときのエラーレートを比較して、最適の識別タイミング信号の位相を求めるものである。

さらに、前記第1の識別基準レベルを前記最適の識別基準レベルに等しくなるように制御する識別基準レベル最適制御手段10と、

前記第1の識別タイミング信号の位相を前記最適の識別タイミング信号の位相に等しくなるように制御する識別位相最適制御手段11とを設けることができる。

本発明の第1の形態の基本構成に加えて、さらに、第1の識別基準レベルの制御および前記第1の識別タイミング信号の位相の制御は、互いに異なるタイミングで行われるようにすることができる。

さらに本発明の第1の形態の基本構成に加えて、外部からの指令を受けて前記識別基準レベル最適





## 特開平4-54043 (7)

制御手段11および識別位相最適制御手段11を起動する起動指令受信手段150を設けることができる。

あるいは、本発明の第1の形態の基本構成に加えて、外部からの指令を受けて前記最適識別基準レベル決定手段8および最適識別位相決定手段9を起動する第2の起動指令受信手段150を設けることができる。

また、本発明の第1の形態の基本構成に加えて、前記第1の識別基準レベルおよび前記第1の識別タイミング信号の位相の初期値を記憶する識別基準初期値記憶手段147を設けることができる。

あるいは、本発明の第1の形態の基本構成に加えて、受信信号レベルの積分値を求める受信信号レベル積分手段133と、初期設定時に、平均値が第1の識別基準レベルの初期値に等しい信号を受信したときの前記受信信号レベル積分手段133の出力に基づいて前記第1の識別基準レベルを設定する識別基準レベル初期値設定手段146と、受信信号を前記第1の識別タイミング信号の位

相に同期してラッチするラッチ手段124と、

初期設定時に、レベルが交番する信号を受信したときの前記ラッチ手段124の出力と該受信信号との位相差の平均値を求める位相差積分手段134と、

初期設定時に、前記位相差積分手段134の出力電圧が、前記第2の識別タイミング信号の位相が1タイムスロットの中央にあるときの出力電圧に一致するように制御する初期位相制御手段130とを設けることができる。

さらに、本発明の第1の形態の基本構成に加えて、前記エラーレートが所定のレベルを超えるか否かを判定して、超えるときは信号断と判定する信号断判定手段を設けることができる。

また、本発明の第1の形態の基本構成に加えて、所定の時刻に求めた前記エラーレートを記憶する基準エラーレート記憶手段149と、

新たに求めた前記エラーレートを、前記基準エラーレート記憶手段149に記憶するエラーレートと比較して劣化の程度が所定のレベルを超える

か否かを判定する劣化判定手段148とを設けることができる。

さらに、上記の構成に加えて、外部からの指令を受けて前記劣化判定手段148を起動する起動指令受信手段148を設けることができる。

第2図は、本発明の第2の形態の基本構成を示す図である。

第2図において、1は第1の識別手段、2'は第2の識別手段、3は第1の識別基準レベル可変制御手段、4'は第2の識別基準レベル可変制御手段、5は第1の識別位相可変制御手段、6'は第2の識別位相可変制御手段、7'はエラーレート測定手段、30はエラーレート分布検出手段、31は最適識別点決定手段、そして、32は識別点最適制御手段である。

第1の識別手段1は、第1の識別基準レベルと第1の識別タイミング信号とを与えられて、該第1の識別タイミング信号のタイミングにおいて、前記第1の識別基準レベルを用いて受信データのデジタルレベルを識別する。

第1の識別基準レベル可変制御手段3は、前記第1の識別基準レベルを可変制御する。第1の識別位相可変制御手段5は、前記第1の識別タイミング信号の位相を可変制御する。

第2の識別手段2'は、第2の識別基準レベルと第2の識別タイミング信号とを与えられて、該第2の識別タイミング信号のタイミングにおいて、前記第2の識別基準レベルを用いて受信データのデジタルレベルを識別する。

第2の識別基準レベル可変制御手段4'は、前記第2の識別基準レベルを可変制御する。

第2の識別位相可変制御手段6'は、前記第2の識別タイミング信号の位相を可変制御する。

エラーレート測定手段7'は、前記第1の識別手段1による識別結果と前記第2の識別手段2'による識別結果との違いの発生率をエラーレートとして求める。

エラーレート分布検出手段30は、前記第2の識別基準レベルおよび前記第2の識別タイミング信号の位相を、前記第1の識別基準レベルの上お



## 特開平4-54043 (8)

よび下、そして、前記第1の識別タイミング信号の位相の前および後に、該第1の識別基準レベルおよび第1の識別タイミング信号の位相に対して所定の相対的位置に分布する複数の設定点においてそれぞれ設定したときのエラーレートを求める。

最適識別点決定手段31は、前記エラーレート分布検出手段30の出力に基づいて、前記第1の識別基準レベルおよび第1の識別タイミング信号の位相の最適の組合せを求める。

そして、前記第1の識別基準レベルおよび前記第1の識別タイミング信号の位相を前記最適の組合せのレベルおよび位相にそれぞれ等しくなるように制御する識別点最適制御手段32を設けることができる。

さらに、本発明の第2の形態の基本構成に加えて、外部からの指令を受けて前記識別点最適制御手段32を起動する起動指令受信手段150を設けることができる。

あるいは、本発明の第2の形態の基本構成に加えて、外部からの指令を受けて前記エラーレート

分布検出手段30を起動する第2の起動指令受信手段150を設けることができる。

あるいは、本発明の第2の形態の基本構成に加えて、外部からの指令を受けて前記エラーレート分布検出手段30の出力を外部に出力するエラーレート分布出力手段150を設けることができる。

また、本発明の第2の形態の基本構成に加えて、前記第1の識別基準レベルおよび前記第1の識別タイミング信号の位相の初期値を記憶する識別基準初期値記憶手段147を設けることができる。

あるいは、本発明の第2の形態の基本構成に加えて、受信信号レベルの積分値を求める受信信号レベル積分手段133と、

初期設定時に、平均値が第1の識別基準レベルの初期値に等しい信号を受信したときの前記受信信号レベル積分手段133の出力に基づいて前記第1の識別基準レベルを設定する識別基準レベル初期値設定手段130と、

受信信号を前記第1の識別タイミング信号の位相に同期してラッチするラッチ手段124と、

初期設定時に、レベルが交番する信号を受信したときの前記ラッチ手段124の出力と該受信信号との位相差の平均値を求める位相差積分手段134と、

初期設定時に、前記位相差積分手段134の出力電圧が、前記第2の識別タイミング信号の位相が1タイムスロットの中央にあるときの出力電圧に一致するように制御する初期位相制御手段とを設けることができる。

さらに、本発明の第2の形態の基本構成に加えて、前記第1の識別基準レベルおよび前記第1の識別基準タイミング信号の位相から所定の範囲内にある設定点において検出された前記エラーレートが所定のレベルを超えるか否かを判定して、超えるときは信号断と判定する信号断判定手段を設けることができる。

また、本発明の第2の形態の基本構成に加えて、所定の時刻に求めた前記エラーレートの分布を記憶する基準エラーレート記憶手段149と、

新たに求めた前記エラーレートの分布を、前記

基準エラーレート記憶手段149に記憶するエラーレートの分布と比較して劣化の程度が所定のレベルを超えるか否かを判定する劣化判定手段148とを設けることができる。

さらに、本発明の第2の形態の基本構成に加えて、外部からの指令を受けて前記劣化判定手段148を起動する起動指令受信手段148を設けることができる。

第3図は、本発明の第3の形態の基本構成を示す図である。

第3図において、1は第1の識別手段、2'は第2の識別手段、3は第1の識別基準レベル可変制御手段、4'は第2の識別基準レベル可変制御手段、5は第1の識別位相可変制御手段、6'は第2の識別位相可変制御手段、7'はエラーレート測定手段、30'はエラーレート分布検出手段、31'は最適識別点決定手段、そして、32'は識別点最適制御手段である。

である。

第1の識別手段1は、第1の識別基準レベルと



## 特開平4-54043 (9)

第1の識別タイミング信号とを与えられて、該第1の識別タイミング信号のタイミングにおいて、前記第1の識別基準レベルを用いて受信データのデジタルレベルを識別する。

第1の識別基準レベル可変制御手段3は、前記第1の識別基準レベルを可変制御する。第1の識別位相可変制御手段5は、前記第1の識別タイミング信号の位相を可変制御する。

複数の第2の識別手段2'は、前記第1の識別基準レベルおよび第1の識別タイミング信号の位相に対して各々所定の相対的位置に分布する複数の設定点に第2の識別基準レベルおよび第2の識別タイミング信号の位相を設定されて、それぞれの設定点において受信データのデジタルレベルを識別する。

第2の識別基準レベル可変制御手段4'は、前記第2の識別基準レベルを前記第1の識別基準レベルに応じて可変制御する。

第2の識別位相可変制御手段6'は、前記第2の識別タイミング信号の位相を前記第1の識別タ

イミング信号の位相に応じて可変制御する。

エラーレート分布検出手段7'は、前記第1の識別手段1による識別結果と前記複数の第2の識別手段2'による識別結果との違いの発生率を、それぞれエラーレートとして求める。

最適識別点決定手段31'は、前記エラーレート分布検出手段30'の出力に基づいて、前記第1の識別基準レベルおよび第1の識別タイミング信号の位相の最適の組合せを求めるものである。

さらに、前記第1の識別基準レベルおよび前記第1の識別タイミング信号の位相を前記最適の組合せのレベルおよび位相にそれぞれ等しくなるように制御する識別点最適制御手段32'を設けることができる。

また、本発明の第3の形態の基本構成に加えて、外部からの指令を受けて前記識別点最適制御手段32'を起動する起動指令受信手段150を設けることができる。

さらに、本発明の第3の形態の基本構成に加えて、前記第1の識別基準レベルおよび前記第1の

識別タイミング信号の位相の初期値を記憶する識別基準初期値記憶手段147を設けることができる。

あるいは、本発明の第3の形態の基本構成に加えて、受信信号レベルの積分値を求める受信信号レベル積分手段133と、

初期設定時に、平均値が第1の識別基準レベルの初期値に等しい信号を受信したときの前記受信信号レベル積分手段133の出力に基づいて前記第1の識別基準レベルを設定する識別基準レベル初期値設定手段130と、

受信信号を前記第1の識別タイミング信号の位相に同期してラッチするラッチ手段124と、

初期設定時に、レベルが交番する信号を受信したときの前記ラッチ手段124の出力と該受信信号との位相差の平均値を求める位相差積分手段134と、

初期設定時に、前記位相差積分手段134の出力電圧が、前記第2の識別タイミング信号の位相が1タイムスロットの中央にあるときの出力電圧

に一致するように制御する初期位相制御手段130とを設けることができる。

さらに、本発明の第3の形態の基本構成に加えて、前記第1の識別基準レベルおよび前記第1の識別基準タイミング信号の位相から所定の範囲内にある設定点において検出された前記エラーレートが所定のレベルを超えるか否かを判定して、超えるときは信号断と判定する信号断判定手段を設けてなる請求項18または19記載の受信データ識別回路。

また、本発明の第3の形態の基本構成に加えて、所定の時刻に求めた前記エラーレートの分布を記憶する基準エラーレート記憶手段149と、

新たに求めた前記エラーレートの分布を、前記基準エラーレート記憶手段149に記憶するエラーレートの分布と比較して劣化の程度が所定のレベルを超えるか否かを判定する劣化判定手段148とを設けることができる。

さらに、本発明の第3の形態の基本構成に加えて、外部からの指令を受けて前記劣化判定手段1



## 特開平4-54043 (10)

48を起動する起動指令受信手段22<sup>\*</sup>を設けることができる。

## 〔作 用〕

本発明の第1の形態においては、

第1図に示されるように、第1の識別手段1によって、第1の識別タイミング信号のタイミングにおいて、第1の識別基準レベルを用いて受信データのデジタルレベルが識別され、第2の識別手段2によって、第2の識別タイミング信号のタイミングにおいて、第2の識別基準レベルを用いて受信データのデジタルレベルが識別される。

上記の第1の識別基準レベルは第1の識別基準レベル可変制御手段3によって可変制御され、上記の第2の識別基準レベルは第2の識別基準レベル可変制御手段4によって可変制御され、上記の第1の識別タイミング信号の位相は第1の識別位相可変制御手段5によって可変制御され、上記の第2の識別タイミング信号の位相は第2の識別位相可変制御手段6によって可変制御される。

記第1の識別タイミング信号の位相の制御は、互いに異なるタイミングで行われるようにすることができる。

さらに、本発明の第1の形態の基本構成に加えて第1の起動指令受信手段12を設けることによって、外部からの指令を受けて前記識別基準レベル最適制御手段10および識別位相最適制御手段11が起動される。

あるいは、本発明の第1の形態の基本構成に加えて第2の起動指令受信手段33を設けることによって、外部からの指令を受けて前記最適識別基準レベル決定手段8および最適識別位相決定手段9が起動される。

また、本発明の第1の形態の基本構成に加えて識別基準初期値記憶手段147を設けることによって、前記第1の識別基準レベルおよび前記第1の識別タイミング信号の位相の初期値が記憶される。

あるいは、本発明の第1の形態の基本構成に加えて、受信信号レベル積分手段133を設けたこ

エラーレート測定手段7において、前記第1の識別手段1による識別結果と前記第2の識別手段2による識別結果との違いの発生率がエラーレートとして求められ、最適識別基準レベル決定手段8において、前記第2の識別基準レベルを、前記第1の識別基準レベルの上および下に、それぞれ設定したときのエラーレートが比較されて、最適の識別基準レベルが求められ、最適識別位相決定手段9においては、前記第2の識別タイミング信号の位相を、前記第1の識別タイミング信号の位相の前および後に、それぞれ設定したときのエラーレートが比較されて、最適の識別タイミング信号の位相が求められる。

さらに識別基準レベル最適制御手段10によって、前記第1の識別基準レベルは前記最適の識別基準レベルに等しくなるように制御され、識別位相最適制御手段11によって、前記第1の識別タイミング信号の位相は前記最適の識別タイミング信号の位相に等しくなるように制御される。

ここで、第1の識別基準レベルの制御および前

とにより受信信号レベルの積分値が求められ、識別基準レベル初期値設定手段130により、初期設定時に、平均値が第1の識別基準レベルの初期値に等しい信号を受信したときの前記受信信号レベル積分手段133の出力に基づいて前記第1の識別基準レベルが設定され、ラッチ手段124により該受信信号は前記第1の識別タイミング信号の位相に同期してラッチされ、位相差積分手段134によって、初期設定時に、レベルが交番する信号を受信したときの前記ラッチ手段124の出力と該受信信号との位相差の平均値が求められる。そして、初期位相制御手段によって、初期設定時に、前記位相差積分手段の出力電圧が、前記第2の識別タイミング信号の位相が1タイムスロットの中央にあるときの出力電圧に一致するように制御することにより、第1の識別タイミング信号の位相を1タイムスロットの中央に設定する値が求められる。

さらに、本発明の第1の形態の基本構成に加えて信号断判定手段を設けることにより、前記エラ





## 特開平4-54043 (11)

エラーレートが所定のレベルを超えるか否かを判定して、超えるときは信号断と判定される。

また、本発明の第1の形態の基本構成に加えて基準エラーレート記憶手段149を設けることにより、所定の時刻に求めた前記エラーレートが記憶され、劣化判定手段148を設けることにより、新たに求めた前記エラーレートが、前記基準エラーレート記憶手段149に記憶するエラーレートと比較されて劣化の程度が所定のレベルを超えるか否かが判定される。

さらに、上記の構成に加えて起動指令受信手段150を設けることにより、外部からの指令を受けて前記劣化判定手段150が起動される。

本発明の第2の形態においては、第1の識別手段1によって、第1の識別タイミング信号のタイミングにおいて、前記第1の識別基準レベルを用いて受信データのデジタルレベルが識別され、第2の識別手段2'によって、第2の識別タイミング信号のタイミングにおいて、前記第2の識別基準レベルを用いて受信データのデジタルレベ

ルが識別される。

前記第1の識別基準レベルは第1の識別基準レベル可変制御手段3によって可変制御され、前記第2の識別基準レベルは第2の識別基準レベル可変制御手段4'によって可変制御され、前記第1の識別タイミング信号の位相は第1の識別位相可変制御手段5によって可変制御され、前記第2の識別タイミング信号の位相は第2の識別位相可変制御手段6'によって可変制御される。

エラーレート測定手段7'においては、前記第1の識別手段1による識別結果と前記第2の識別手段2'による識別結果との違いの発生率がエラーレートとして求められ、エラーレート分布検出手段30においては、前記第2の識別基準レベルおよび前記第2の識別タイミング信号の位相を、前記第1の識別基準レベルの上および下、そして、前記第1の識別タイミング信号の位相の前および後に、該第1の識別基準レベルおよび第1の識別タイミング信号の位相に対して所定の相対的位置に分布する複数の設定点においてそれぞれ設定し

たときのエラーレートが求められ、最適識別点決定手段31においては、前記エラーレート分布検出手段30の出力に基づいて、前記第1の識別基準レベルおよび第1の識別タイミング信号の位相の最適の組合せが求められる。

そして、識別点最適制御手段32によって、前記第1の識別基準レベルおよび前記第1の識別タイミング信号の位相が前記最適の組合せのレベルおよび位相にそれぞれ等しくなるように制御される。

さらに、本発明の第2の形態の基本構成に加えて起動指令受信手段150を設けることにより、外部からの指令を受けて前記識別点最適制御手段32が起動される。

あるいは、本発明の第2の形態の基本構成に加えて第2の起動指令受信手段150を設けることにより、外部からの指令を受けて前記エラーレート分布検出手段30が起動される。

あるいは、本発明の第2の形態の基本構成に加えてエラーレート分布出力手段150を設けるこ

とにより、外部からの指令を受けて前記エラーレート分布検出手段30の出力を外部に出力することができる。

また、本発明の第2の形態の基本構成に加えて識別基準初期値記憶手段147を設けることにより、前記第1の識別基準レベルおよび前記第1の識別タイミング信号の位相の初期値が記憶される。

あるいは、本発明の第2の形態の基本構成に加えて受信信号レベル積分手段14を設けることにより、受信信号レベルの積分値が求められ、識別基準レベル初期値設定手段15により、初期設定時に、平均値が第1の識別基準レベルの初期値に等しい信号を受信したときの前記受信信号レベル積分手段133の出力に基づいて前記第1の識別基準レベルが設定され、ラッチ手段124により、受信信号が前記第1の識別タイミング信号の位相に同期してラッチされ、位相差積分手段134により、初期設定時に、レベルが交番する信号を受信したときの前記ラッチ手段124の出力と該受信信号との位相差の平均値が求められる。そして、



## 特開平4-54043 (12)

初期位相制御手段によって、初期設定時に、前記位相差積分手段の出力電圧が、前記第2の識別タイミング信号の位相が1タイムスロットの中央にあるときの出力電圧に一致するように制御することにより、第1の識別タイミング信号の位相を1タイムスロットの中央に設定する値が求められる。

さらに、本発明の第2の形態の基本構成に加えて信号断判定手段を設けることにより、前記第1の識別基準レベルおよび前記第1の識別基準タイミング信号の位相から所定の範囲内にある設定点において検出された前記エラーレートが所定のレベルを超えるか否かが判定され、超えるときは信号断と判定される。

また、本発明の第2の形態の基本構成に加えて基準エラーレート記憶手段149を設けることにより、所定の時刻に求めた前記エラーレートの分布が記憶され、劣化判定手段21'を設けることにより、新たに求めた前記エラーレートの分布が、前記基準エラーレート記憶手段149に記憶するエラーレートの分布と比較されて劣化の程度が所

定のレベルを超えるか否かが判定される。

さらに、本発明の第2の形態の基本構成に加えて起動指令受信手段150を設けることにより、外部からの指令を受けて前記劣化判定手段150が起動される。

本発明の第3の形態においては、第1の識別手段1によって、第1の識別タイミング信号のタイミングにおいて、前記第1の識別基準レベルを用いて受信データのデジタルレベルが識別され、他方、複数の第2の識別手段2'においては、前記第1の識別基準レベルおよび第1の識別タイミング信号の位相に対して各々所定の相対的位置に分布する複数の設定点に第2の識別基準レベルおよび第2の識別タイミング信号の位相を設定されて、該第2の識別タイミング信号のタイミングにおいて、前記第2の識別基準レベルを用いて受信データのデジタルレベルが識別される。

前記第1の識別基準レベルは第1の識別基準レベル可変制御手段3によって可変制御され、前記第2の識別基準レベルは第2の識別基準レベル可

変制御手段4'によって前記第1の識別基準レベルに応じて可変制御される。

前記第1の識別タイミング信号の位相は第1の識別位相可変制御手段5によって可変制御され、前記第2の識別タイミング信号の位相は第2の識別位相可変制御手段6'によって、前記第1の識別タイミング信号の位相に応じて可変制御される。

エラーレート分布検出手段7'においては、前記第1の識別手段1による識別結果と前記複数の第2の識別手段2'による識別結果との違いの発生率が、それぞれエラーレートとして求められ、最適識別点決定手段31'において、前記エラーレート分布検出手段30'の出力に基づいて、前記第1の識別基準レベルおよび第1の識別タイミング信号の位相の最適の組合せが求められる。

さらに、識別点最適制御手段32'によって、前記第1の識別基準レベルおよび前記第1の識別タイミング信号の位相が前記最適の組合せのレベルおよび位相にそれぞれ等しくなるように制御される。

また、本発明の第3の形態の基本構成に加えて起動指令受信手段12'を設けることにより、外部からの指令を受けて前記識別点最適制御手段32'が起動される。

さらに、本発明の第3の形態の基本構成に加えて識別基準初期値記憶手段147を設けることにより、前記第1の識別基準レベルおよび前記第1の識別タイミング信号の位相の初期値が記憶される。

あるいは、本発明の第3の形態の基本構成に加えて受信信号レベル積分手段133を設けることにより、受信信号レベルの積分値が求められ、識別基準レベル初期値設定手段130により、初期設定時に、平均値が第1の識別基準レベルの初期値に等しい信号を受信したときの前記受信信号レベル積分手段133の出力に基づいて前記第1の識別基準レベルが設定され、ラッチ手段124により、受信信号が前記第1の識別タイミング信号の位相に同期してラッチされ、位相差積分手段134により、初期設定時に、レベルが交番する信



## 特開平4-54043 (13)

号を受信したときの前記ラッチ手段124の出力と該受信信号との位相差の平均値が求められ、初期位相制御手段によって、初期設定時に、前記位相差積分手段の出力電圧が、前記第2の識別タイミング信号の位相が1タイムスロットの中央にあるときの出力電圧に一致するように制御することにより、第1の識別タイミング信号の位相を1タイムスロットの中央に設定する値が求められる。

さらに、本発明の第3の形態の基本構成に加えて信号断判定手段を設けることにより、前記第1の識別基準レベルおよび前記第1の識別基準タイミング信号の位相から所定の範囲内にある設定点において検出された前記エラーレートが所定のレベルを超えるか否かが判定され、超えるときは信号断と判定される。

また、本発明の第3の形態の基本構成に加えて基準エラーレート記憶手段149を設けることにより、所定の時刻に求めた前記エラーレートの分布が記憶され、劣化判定手段148により、新たに求めた前記エラーレートの分布が、前記基準エ

ラーレート記憶手段149に記憶するエラーレートの分布と比較されて劣化の程度が所定のレベルを超えるか否かが判定される。

さらに、本発明の第3の形態の基本構成に加えて起動指令受信手段150を設けることにより、外部からの指令を受けて前記劣化判定手段150が起動される。

## 〔実施例〕

## (第1の実施例)

第4図は本発明の第1の実施例の構成を示す図である。

第4図において、40は受信等化回路、41はタイミング抽出回路、42、43、44、45、46はD型フリップフロップ回路、47、48はエラー計数回路、49、50、53、54はEOR回路、51、52、55、56はカウンタ、57、58、59、60はデジタル／アナログ変換器、61、63減算回路、62は識別レベル発生回路、64は識別位相発生回路である。

識別レベル発生回路62は、それぞれのD型フリップフロップ回路42～46における入力信号が0か1かを判定するための参照レベルとしての識別基準レベルを供給し、識別位相発生回路64は、それぞれのD型フリップフロップ回路42～46におけるデータ入力のタイミング信号を発生する。ここで、識別レベル発生回路62は、最適と考えられる最適識別レベルと、該最適識別レベルより所定の電圧だけ高い識別レベル、および、該最適識別レベルより所定の電圧だけ低い識別レベルを発生して、D型フリップフロップ回路42には該高い識別レベルを、D型フリップフロップ回路43には該低い識別レベルを、そして、その他のD型フリップフロップ回路44～46には、上記の最適識別レベルを供給する。また、識別位相発生回路64は、最適と考えられる最適識別位相と、該最適識別位相より所定の位相だけ遅れた識別位相、および、該最適識別位相より所定の位相だけ進んだ識別位相を発生して、D型フリップフロップ回路44には該進んだ識別位相を、D型

フリップフロップ回路46には該遅れた識別位相を、そして、その他のD型フリップフロップ回路42、43、および45には、上記の最適識別位相を供給する。

第5図は、上記のD型フリップフロップ回路42～46における識別レベルおよび識別位相、すなわち、識別点を示す図である。

第5図において、P1はD型フリップフロップ回路42における識別点を、P2はD型フリップフロップ回路44における識別点を、P3はD型フリップフロップ回路46における識別点を、P4はD型フリップフロップ回路45における識別点を、P5はD型フリップフロップ回路46における識別点を、それぞれを示すものである。このように、D型フリップフロップ回路46においては、上記の最適識別レベルおよび最適識別位相において受信データが識別され、D型フリップフロップ回路42および43においては、それぞれ、上記の最適識別レベルより高い識別レベルおよび低い識別レベルを用いて、上記の最適位相におい



## 特開平4-54043 (14)

て受信データが識別され、D型フリップフロップ回路44および46においては、それぞれ、上記の最適識別位相より進んだ識別レベルおよび遅れた識別位相において、上記の最適レベルを用いて受信データが識別される。

第4図のエラー計数回路47および48内においては、上記のD型フリップフロップ回路42～45のそれぞれに対応してEOR回路49、50、53、54および、カウンタ51、52、55、56が設けられ、各EOR回路49、50、53、54の一方の入力端子には、D型フリップフロップ回路46における識別結果が印加され、他方の入力端子には、それぞれ対応するD型フリップフロップ回路42～45の識別結果が印加されている。こうして、各EOR回路49、50、53、54の出力は、対応するD型フリップフロップ回路42～45の出力とD型フリップフロップ回路46の出力とが一致するときには0となり、対応するD型フリップフロップ回路42～45の出力とD型フリップフロップ回路46の出力とが異な

るときには1となる。各カウンタ51、52、55、56は、対応するEOR回路49、50、53、54の出力が1となる回数を計数し、各カウンタのデジタル出力は、各カウンタの出力側にそれぞれ設けられたデジタル/アナログ変換器57～60によってアナログ信号に変換される。減算回路61はデジタル/アナログ変換器57の出力とデジタル/アナログ変換器58の出力との差をアナログ演算し、減算回路63はデジタル/アナログ変換器59の出力とデジタル/アナログ変換器60の出力との差をアナログ演算する。識別レベル発生回路62は、減算回路61の出力が正の量であるならば、その量に応じて自らが出力する3つの識別レベルをそれぞれ低くするように制御し、逆に、減算回路61の出力が負の量であるならば、その量に応じて自らが出力する3つの識別レベルをそれぞれ高くするように制御する。また、識別位相発生回路は、減算回路63の出力が正の量であるならば、その量に応じて自らが出力する3つの識別位相（識別タイミング

信号の位相）をそれぞれ遅らせるように制御し、逆に、減算回路63の出力が負の量であるならば、その量に応じて自らが出力する3つの識別位相（識別タイミング信号の位相）をそれぞれ進めるように制御する。

一般に、識別レベル、あるいは、識別位相が最適の位相から離れれば離れる程識別の誤差は大きくなると考えられるので、第4図の構成によれば、D型フリップフロップ回路46の識別レベルおよび識別位相は共に、常に最適になるように制御される。なお、上記の識別レベルの制御と識別位相の制御とが、それぞれ他方の制御の過程を妨害しないように、これらの制御は、それぞれ、互いにタイミングをずらして行われる。

さらに、上記のエラー計数回路47および48において計数されたエラーレートが信号断におけるような異常な値となったときには、これを信号断として検出するために、エラー計数回路47および48において計数されたエラーレートが所定の値、例えば、 $10^{-3}$ を超える値となるか否かを

判定するために、カウンタ51、52、55、56の出力を図示しない比較回路において $10^{-3}$ を超える値となるか否かを判定し、超えるときは信号断を示すアラーム信号を発生するようにすることもできる。

## (第2の実施例)

第6図は本発明の第2の実施例の構成を示す図である。

第6図において、70は位相可変回路、71、72は遅延回路、73、74、75、76、77はスライス・アンプ、78、79、80、81、82はD型フリップフロップ回路、83、84、85、86は誤り検出回路、87は識別レベル発生回路、88は識別位相制御回路である。

第6図の構成において、受信信号は、スライス・アンプ73～77にそれぞれ並列に印加され、各スライス・アンプ73～77は、該受信信号のレベルがそれぞれのスライス・アンプにおける基準レベルより高いか低いかに応じて1または0を出力する。D型フリップフロップ回路78～82は、





## 特開平4-54043 (15)

該スライス・アンプ73～77の各々に対応して設けられ、それぞれ、与えられたクロックのタイミングにおいて、対応するスライス・アンプの出力をラッチする。

識別レベル発生回路87は、最適と考えられる最適識別レベルと、該最適識別レベルより所定の電圧だけ高い識別レベル、および、該最適識別レベルより所定の電圧だけ低い識別レベルを発生して、スライス・アンプ73には該高い識別レベルを、スライス・アンプ77には該低い識別レベルを、そして、その他のスライス・アンプ74～76には、上記の最適識別レベルを供給する。

識別位相制御回路88、位相可変回路70、遅延回路71および72は、前述の第4図の構成における識別位相発生回路64に対応するもので、位相可変回路70が出力する識別タイミング信号の位相は、その時点で最適と考えられる識別位相より所定の位相進んだ位相であり、該位相可変回路70の出力側に接続された遅延回路71の出力する識別タイミング信号の位相は、その時点で最

適と考えられる識別位相、そして、が遅延回路71の出力側に接続された遅延回路72の出力する識別タイミング信号の位相は、その時点で最適と考えられる識別位相より所定の位相遅れた位相となるように調整されている。そして、位相可変回路70の出力は、D型フリップフロップ回路79に、遅延回路72の出力は、D型フリップフロップ回路81に、そして、遅延回路71の出力は、D型フリップフロップ回路78、80、および82に、それぞれ、識別タイミング信号として供給される。こうして、スライス・アンプ73およびD型フリップフロップ回路78からなる識別回路構成の出力は第5図の識別点P1に相当し、スライス・アンプ74およびD型フリップフロップ回路79からなる識別回路構成の出力は第5図の識別点P2に相当し、スライス・アンプ75およびD型フリップフロップ回路80からなる識別回路構成の出力は第5図の識別点P3に相当し、スライス・アンプ76およびD型フリップフロップ回路81からなる識別回路構成の出力は第5図の

識別点P4に相当し、スライス・アンプ77およびD型フリップフロップ回路82からなる識別回路構成の出力は第5図の識別点P5に相当する。

誤り検出回路83～86は、それぞれ、D型フリップフロップ回路78～82の出力側に設けられ、前述の第4図の構成のEOR回路49、50、53、54、あるいは、これらEOR回路とそれぞれ対応するカウンタとの組合せからなる構成に対応するものである。すなわち、各誤り検出回路49、50、53、54の一方の入力端子には、D型フリップフロップ回路82における識別結果が印加され、他方の入力端子には、それぞれ対応するD型フリップフロップ回路78～81の識別結果が印加されている。こうして、各誤り検出回路83～86の出力は、対応するD型フリップフロップ回路78～81の出力とD型フリップフロップ回路82の出力とが異なるか否かによって、それぞれ、対応する識別回路構成による識別結果が誤りか否かを判定し、それぞれの誤り検出回路内にカウンタを備える場合は、その計数を、カウ

ンタを備えない場合は、上記の誤りか否かの判定結果をそのまま識別レベル発生回路87に供給する。識別レベル発生回路87の構成は、上記のように、各誤り検出回路がカウンタを内蔵するか否かによって、前述の第4図の構成のディジタル／アナログ変換器57、58、減算回路61、および識別レベル発生回路62と等価な構成、あるいは、カウンタ51、52、ディジタル／アナログ変換器57、58、減算回路61、および識別レベル発生回路62と等価な構成となる。なお、第6図の識別レベル発生回路87および識別位相制御回路88の機能は、CPUによって実現することもできる。

このように、第6図の構成においても、前述の第4図の構成におけると同様の機能が実現される。また、第4図の構成におけると同様に、上記の識別レベルの制御と識別位相の制御とは、それぞれ他方の制御の過程を妨害しないように、それぞれ、互いにタイミングをずらして行われる。

さらに、前述の第1の実施例におけると同様に、



## 特開平4-54043 (16)

上記のエラーレートが信号断におけるような異常な値となったときには、これを信号断として検出するために、エラーレートが所定の値、例えば、 $10^{-3}$ を超える値となったか否かを図示しない比較回路において判定し、超えるときは信号断を示すアラーム信号を発生するようにすることもできる。

## (第3の実施例)

第7図は本発明の第3の実施例の構成を示す図である。

第7図において、90は位相可変回路、91、92は遅延回路、93、94、95、96、97、98、99、100、101はスライス・アンプ、102、103、104、105、106、107、108、109、110はD型フリップフロップ回路、111、112、113、114、115、116、117、118は誤り検出回路、そして、119はCPUである。

第7図の構成において、個々のスライス・アンプ、D型フリップフロップ回路、および誤り検出

回路の基本的機能は、前述の第6図の構成における個々のスライス・アンプ、D型フリップフロップ回路、および誤り検出回路の基本的機能と同様であるが、第7図の構成においては、各スライス・アンプにおける識別レベルは、CPU119における演算により生成し、該CPU119から図示しないアナログ/ディジタル変換器を介して各スライス・アンプに供給されている。また、識別位相の発生のための構成も、第6図の識別位相制御回路88の機能がCPU119によって実現されていること以外は第6図の構成におけると同様である。こうして、第7図の構成においても、複数のスライス・アンプ93～101に対して最適識別レベルを中心とする3つの識別レベルが供給され、複数のD型フリップフロップ回路102～110に対して最適識別位相を中心とする3つの識別位相を有する識別タイミング信号が供給される。

上記の3つの識別レベルのうち、最適と考えられる最適識別レベルはスライス・アンプ96～98に、該最適識別レベルより所定の電圧だけ高い

識別レベルはスライス・アンプ93～95に、そして、該最適識別レベルより所定の電圧だけ低い識別レベルはスライス・アンプ99～101にそれぞれ供給される。また、位相可変回路70が出力する、その時点で最適と考えられる識別位相より所定の位相進んだ位相の識別タイミング信号はD型フリップフロップ回路102、105、105に供給され、遅延回路71の出力する、その時点で最適と考えられる識別位相の識別タイミング信号はD型フリップフロップ回路103、106、109に供給され、遅延回路71の出力側に接続された遅延回路72の出力する、その時点で最適と考えられる識別位相より所定の位相遅れた位相の識別タイミング信号はD型フリップフロップ回路104、107、110に供給される。

第8図は、上記のスライス・アンプ93～101、および、D型フリップフロップ回路102～110のそれぞれ、対応する組合せからなる識別回路における識別レベルおよび識別位相、すなわち、識別点を示す図である。

第8図において、スライス・アンプ93およびD型フリップフロップ回路102からなる識別回路構成の出力は第8図の識別点P1'に相当し、スライス・アンプ94およびD型フリップフロップ回路103からなる識別回路構成の出力は第8図の識別点P2'に相当し、スライス・アンプ95およびD型フリップフロップ回路104からなる識別回路構成の出力は第8図の識別点P3'に相当し、スライス・アンプ96およびD型フリップフロップ回路105からなる識別回路構成の出力は第8図の識別点P4'に相当し、スライス・アンプ97およびD型フリップフロップ回路106からなる識別回路構成の出力は第8図の識別点P5'に相当し、スライス・アンプ98およびD型フリップフロップ回路107からなる識別回路構成の出力は第8図の識別点P6'に相当し、スライス・アンプ99およびD型フリップフロップ回路108からなる識別回路構成の出力は第8図の識別点P7'に相当し、スライス・アンプ100およびD型フリップフロップ回路109からなる



## 特開平4-54043 (17)

る識別回路構成の出力は第8図の識別点P8'に相当し、スライス・アンプ101およびD型フリップフロップ回路110からなる識別回路構成の出力は第8図の識別点P9'に相当する。すなわち、スライス・アンプ97およびD型フリップフロップ回路106からなる構成においては、上記の最適識別レベルおよび最適識別位相において受信データが識別される。

誤り検出回路111~118は、それぞれ、D型フリップフロップ回路102~105、および、107~110の出力側に設けられ、それぞれ、対応するD型フリップフロップ回路の出力と、D型フリップフロップ回路106の出力との不一致を検出して、CPU119に出力する。CPU119は、これらの誤り検出回路111~118におけるエラーレートを演算して、そのエラーレートに基づいて、上記の3つの識別レベルおよび3つの識別位相を制御する。また、前述の第1および第2の実施例におけると同様に、上記の識別レベルの制御と識別位相の制御とは、それぞれ他方

の制御の過程を妨害しないように、それぞれ、互いにタイミングをずらして行われる。

第9図は、上記の第7図の構成において検出されるエラーレートの分布の1例を示すものである。本発明の第3の実施例においては、第8図に示されるように9個の識別点P1', P2', ..., P9'を設けたことにより、第9図に示されるような非対称な形のエラーレート分布を有するアイパターンに対しても、要求されるエラーレートの範囲内で受信信号レベルおよび位相の変化に対して最もマージンの大きい識別点を最適識別点とするように、上記の9個の識別点におけるエラーレートよりCPU制御することができる。

例えば、第9図の9個の識別点P1', P2', ..., P9'におけるエラーレートをそれぞれE1, E2, ..., E9とすると、

$$E6 - E4 = (-1/2) \times [(E3 - E1) - (E9 - E7)]$$

となるように制御することができる。

さらに、前述の第1および第2の実施例におけ

ると同様に、上記のエラーレートが信号断におけるような異常な値となったときには、これを信号断として検出するために、エラーレートが所定の値、例えば、 $10^{-3}$ を超える値となったか否かを図示しない比較回路において判定し、超えるときは信号断を示すアラーム信号を発生するようにすることもできる。

## (第4の実施例)

第10図は、本発明の第4の実施例の構成を示す図である。

第10図において、121, 122は位相可変回路、123, 124はD型フリップフロップ回路、125, 126はアンプ、127はバッファ回路、128はEOR回路、129, 135, 136はデジタル/アナログ変換器、130はCPU、131はEEPROM、132はアナログ/デジタル変換器、133, 134はコンデンサである。

Dフリップフロップ回路123においては、等化波形またはスライスアンプの出力をデータ入力

端子に受け、位相可変回路121から、その時点で最適と考えられる最適位相の識別タイミング信号をエッジトリガ入力端子に受け、さらに、CPU130からD/A変換回路135を介して、その時点で最適と考えられる最適識別レベル $V_{th}$ を受け、Q出力端子より識別結果を出力する。Dフリップフロップ回路124は、上記の最適識別レベルおよび最適の位相に対して各々所定の相対的位置に分布する複数の識別点に順に設定される第2の識別レベルおよび第2の識別位相の識別タイミング信号を、それぞれ受けて、これらの識別点において上記の受信データのデジタルレベルを識別する。上記の第2の識別レベルは、CPU130よりD/A変換回路124を介してDフリップフロップ回路124に供給され、上記の第2の識別位相の識別タイミング信号は位相可変回路122より供給される。位相可変回路121および122は、受信信号より受信クロックを抽出する図示しないタイミングアンプよりクロック信号を受け、CPU130から、それぞれに供給され



## 特開平4-54043 (18)

る制御電圧 $V_{p1}$ および $V_{p2}$ に応じた遅延を該クロック信号に与えて出力する。

CPU130は、上記の複数の識別点におけるDフリップフロップ回路124の識別結果をDフリップフロップ回路123における識別結果と比較することにより、各識別点におけるエラーレートを求め、エラーレートの分布を求める。

エラーレートの分布の求め方としては、第11図に示されるように、初期状態において最適と考えられる最適識別点から螺旋上に回りの識別点のエラーレートを順に求めて行く方法、または、第12図に示されるように、識別レベルまたは識別位相の一方を固定して他方を走査するという操作を繰り返して識別レベルおよび識別位相を格子状に走査して各識別点のエラーレートを順に求めて行く方法等が考えられる。

また、エラーレートの分布を求める範囲としては、初期設定点から要求されるエラーレートの基準を満たす範囲を求めて、その範囲の中央の点を最適識別点とする方法、または、1ビットの等化

波形の位相およびレベルの範囲全体について（例えば、第13図に示されるように）エラーレートの分布を求めて、エラーレートの分布が収束して最もエラーレートが低くなる点を演算により推定して、この点を最適の識別点として求める方法等が考えられる。求められたエラーレート分布は、EEPROM131に記憶される。

第10図の構成において、アンプ125および126、バッファ回路127、EOR回路128、コンデンサ133および134、そして、A/D変換回路132からなる構成は、初期識別点の自動設定を行うためのものである。

回線立ち上げ時においては、外部よりCPU130に対してスタート/リセット信号を印加すると共に、交番する特定パターンの信号101010・・・を第10図の構成にデータとして与える。このデータ信号は、アンプ125および126を介して、一端をアースされたコンデンサ133を充電する。該コンデンサ133の他端の電圧は“1”レベルと“0”レベルとの平均電圧となり、

この電圧はA/D変換回路132を介してCPU130に印加される。この電圧は、最適識別レベルの初期値としてDフリップフロップ回路123の参照電圧 $V_{in}$ として供給される。

また、上記の交番する信号は、Dフリップフロップ回路124において、位相可変回路122が出力する識別タイミング信号による遅延を受けてEOR回路128の入力端子の一方に印加され、他方で、該交番する信号は、アンプ125およびバッファ回路127を介して該EOR回路128の入力端子の他方に印加される。こうして、上記の交番する信号に対するEOR回路128の出力パルスのデューティ比は位相可変回路122の出力の位相に応じて0%から100%まで変化する。EOR回路128の出力は、一端をアースされたコンデンサ134を充電する。該コンデンサ134の他端の電圧は上記のデューティ比に応じた電圧となり、この電圧はA/D変換回路136を介してCPU130に印加される。CPU130は、初期設定状態においては、上記の電圧に応じて位

相可変回路122に供給する制御電圧 $V_{p2}$ を制御する。この制御は、上記のデューティ比が50%になるように行われる。こうして、決定された制御電圧 $V_{p2}$ は、最適識別位相の初期値を決定する制御電圧 $V_{p1}$ として位相可変回路121に供給される。

こうして、初期設定時に第10図の構成に対して交番するデータ信号を供給することにより、CPU130の制御によって最適識別レベルの初期値を等化波形振幅の中間の値に、そして、最適識別位相を1タイムスロットの中央に設定することができる。この設定値は、EEPROM131に記憶される。

また、識別レベルおよび識別位相の所定のマージン（可変余裕）内のエラーレートが所定の値を超えたときに、CPU130においてこれを信号断と判定するように設定することもできる。例えば、第14図に示されるように、識別レベルのマージンが等化波形振幅の5%、識別位相のマージンが1タイムスロットの3%の微小エリアを定義





してこの範囲内におけるエラーレートが $10^{-3}$ を超えたときに信号断と判定する。

(第5の実施例)

第15図は、本発明の第5の実施例の構成を示す図である。

第15図において、140はスライス・アンプ、141はタイミング抽出回路、144、145はD型フリップフロップ回路、146はCPU、142、143は位相可変回路、147はROMである。

第15図の構成においては、最適識別レベルおよび最適識別位相の初期設定値は、予めハードウェア的に調整してROM147に記憶しておく。CPU130は、初期状態においては、スタート／リセット信号を受けるとROM147に記憶された最適識別レベルおよび最適識別位相をDフリップフロップ回路144に設定する。第15図のその他の構成および動作は前述の第10図の構成と同様である。

第17図は本発明の第6の実施例の手順の1例の概略を示す図である。

第17図において、ステップ161においては、識別レベルおよび識別位相の初期設定値を読み込み、ステップ162においてアイパターン（エラーレートの分布）の分析を行って、そのデータをRAM149に記憶する。ステップ163においては、通常の受信動作を行い、その間所定の時間毎にアイパターン（エラーレートの分布）を求めてRAM148に記憶したアイパターン（エラーレートの分布）と比較し（ステップ164）、受信波形が劣化したかどうかを判定し、もし、劣化していればステップ165にて、先に第4の実施例において述べたような微小エリアにおける信号断検出を行う。信号断でなければ、ステップ166においてRAM149をリセットするかどうかを判断して、リセットしない場合はステップ163に戻り、リセットする場合はステップ162に戻ってアイパターン（エラーレートの分布）の分析および記憶を行う。

特開平4-54043 (19)

(第6の実施例)

第16図は、本発明の第6の実施例の構成を示す図である。

第16図において、140はスライス・アンプ、141はタイミング抽出回路、144、145はD型フリップフロップ回路、148はCPU、142、143は位相可変回路、149はRAMである。第16図のRAM149以外の構成および動作は前述の第10図の構成と同様である。

第16図のRAM149には、例えば、回線立ち上げ時に求めたエラーレートの分布（例えば、第17図に示されるようなもの）を記憶しておく。そして、回線使用時間が所定の時間を経過したときに、再びエラーレートの分布（例えば、第18図に示されるようなもの）を求め、RAM149に記憶した回線立ち上げ時に求めたエラーレートの分布と比較して受信等化波形の劣化状態を監視する。例えば、要求されるエラーレートを充たす範囲が立ち上げ時の $1/2$ となったときに回線状態の異常と判定する。

(第7の実施例)

第20図は、本発明の第7の実施例の構成を示す図である。

第20図において、140はスライス・アンプ、141はタイミング抽出回路、144、145はD型フリップフロップ回路、150はCPU、142、143は位相可変回路、151は外部制御回路である。

第19図の構成は、例えば、海底等の、直接アクセスできない場所に設置された伝送装置における特性劣化の監視や、識別レベルおよび識別位相の制御を遠隔操作によって行うものである。外部制御回路151からCPU150に対して「モニタ開始」のコマンドを送ると、CPU150は、先に第10図を参照して説明したように、Dフリップフロップ回路145に対して供給する識別レベルおよび識別位相を順に変化させて第13図に示したようなエラーレートの分布を求める。そして、「データ要求」のコマンドに応じて、このエラーレートの分布のデータを外部制御回路151



に対して転送する。

あるいは、上記のエラーレートの分布の測定は、周期的に行って第19図には図示しないメモリに記憶しておき、外部制御回路151からCPU150に対して「データ要求」のコマンドがきたときに外部制御回路151に対して転送するようにすることができる。また、前述の最適レベルおよび最適位相の制御の動作は、外部制御回路151から「制御スタート」のコマンドを与えたときにのみ行うようにすることができる。

#### 〔発明の効果〕

前述のような本発明の様々な形態および実施例によれば、識別レベルの最適レベルだけでなく識別位相の最適位相をも同時に検出することを可能にし、

さらに、識別回路の識別レベルおよび識別位相を、検出された最適の識別レベルおよび識別位相に等しくなるように自動的に調整することを可能にし、

さらに、最適識別レベルおよび最適識別位相の初期設定を外部からの制御によって行わせることを可能にするものである。

#### 4. 図面の簡単な説明

第1図は本発明の第1の形態の基本構成図、

第2図は本発明の第2の形態の基本構成図、

第3図は本発明の第3の形態の基本構成図、

第4図は本発明の第1の実施例の構成図、

第5図は本発明の第1および第2の実施例における識別点を示す図、

第6図は本発明の第2の実施例の構成図、

第7図は本発明の第3の実施例の構成図、

第8図は本発明の第3の実施例における識別点を示す図、

第9図は本発明の第3の実施例において検出される誤差分布の1例を示す図、

第10図は本発明の第4の実施例の構成図、

第11図は本発明の第4の実施例におけるアイパターンの分析手順の1例を示す図、

第12図は本発明の第4の実施例におけるアイ

#### 特開平4-54043 (20)

さらに、受信等化波形のアイパターンを分析することにより最適の識別レベルおよび識別位相を求める受信データ識別回路を提供することを可能にし、

さらに、受信等化波形のアイパターンの偏りに応じた最適の識別レベルおよび識別位相を求めることを可能にし、

さらに、受信等化波形のアイパターンを分析することにより最適の識別レベルおよび識別位相を求めることを可能にし、

さらに、比較的小規模の回路構成によって、様々なモードによるアイパターンの分析処理を可能にすることを可能にし、

さらに、受信信号断を検出することを可能にし、

さらに、受信等化波形の劣化を検出することを可能にし、

さらに、外部からの操作、特に、遠隔地からの操作により、最適識別レベルおよび最適識別位相の制御、アイパターンの監視等を行うことを可能にし、

パターンの分析手順の1例を示す図、

第13図はアイパターンの分析結果の1例を示す図、

第14図は信号断判定のための微小エリアを示す図、

第15図は本発明の第5の実施例の構成図、

第16図は本発明の第6の実施例の構成図、

第17図は回線立ち上げ時におけるアイパターンの1例を示す図、

第18図は使用中に変化したアイパターンの1例を示す図、そして、

第19図は本発明の第6の実施例の手順の概略を示す図である。

第20図は本発明の第7の実施例の構成図である。

#### (符号の説明)

- 第1の識別手段、
- 2…第2の識別手段、
- 3…第1の識別基準レベル可変手段、
- 4…第2の識別基準レベル可変制御手段、
- 5…第1の識別位相可変制御手段、



## 特開平4-54043 (21)

- 6…第2の識別位相可変制御手段、  
 7…エラーレート測定手段、  
 8…最適識別基準レベル決定手段、  
 9…最適識別位相決定手段、  
 10…識別基準レベル最適制御手段、  
 11…識別位相最適制御手段、  
 2'…第2の識別手段、  
 4'…第2の識別基準レベル可変制御手段、  
 6'…第2の識別位相可変制御手段、  
 7'…エラーレート測定手段、  
 30…エラーレート分布検出手段、  
 31…最適識別点決定手段、  
 32…識別点最適制御手段、  
 2''…第2の識別手段、  
 4''…第2の識別基準レベル可変制御手段、  
 6''…第2の識別位相可変制御手段、  
 7''…エラーレート測定手段、  
 30''…エラーレート分布検出手段、  
 31''…最適識別点決定手段、  
 32''…識別点最適制御手段、
- 40…受信等化回路、  
 41…タイミング抽出回路、  
 42, 43, 44, 45, 46…D型フリップ  
 フロップ回路、  
 47, 48…エラー計数回路、  
 49, 50, 53, 54…EOR回路、  
 51, 52, 55, 56…カウンタ、  
 57, 58, 59, 60…ディジタル/アナロ  
 グ変換器、  
 61, 63…減算回路、  
 62…識別レベル発生回路、  
 64…識別位相発生回路、  
 70…位相可変回路、 71, 72…遅延回路、  
 73, 74, 75, 76, 77…スライス・ア  
 ンプ、  
 78, 79, 80, 81, 82…D型フリップ  
 フロップ回路、  
 83, 84, 85, 86…誤り検出回路、  
 87…識別レベル発生回路、  
 88…識別位相制御回路、
- 90…位相可変回路、 91, 92…遅延回路、  
 93, 94, 95, 96, 97, 98, 99,  
 100, 101…スライス・アンプ、  
 102, 103, 104, 105, 106, 1  
 07, 108, 109, 110…D型フリップ  
 フロップ回路、  
 111, 112, 113, 114, 115, 11  
 6, 117, 118…誤り検出回路、  
 119…CPU、  
 121, 122…位相可変回路、  
 123, 124…D型フリップフロップ回路、  
 125, 126…アンプ、  
 127…バッファ回路、128…EOR回路、  
 129, 135…ディジタル/アナログ変換器、  
 130…CPU、 131…EEPROM、  
 132, 136…アナログ/ディジタル変換器、  
 133, 134…コンデンサ、  
 140…スライス・アンプ、  
 141…タイミング抽出回路、  
 144, 145…D型フリップフロップ回路、  
 146, 148, 150…CPU、  
 142, 143…位相可変回路、  
 147…ROM、 149…RAM、  
 151…外部制御回路。

特許出願人

富士通株式会社

特許出願代理人

弁理士 青 木 朗

弁理士 石 田 敬

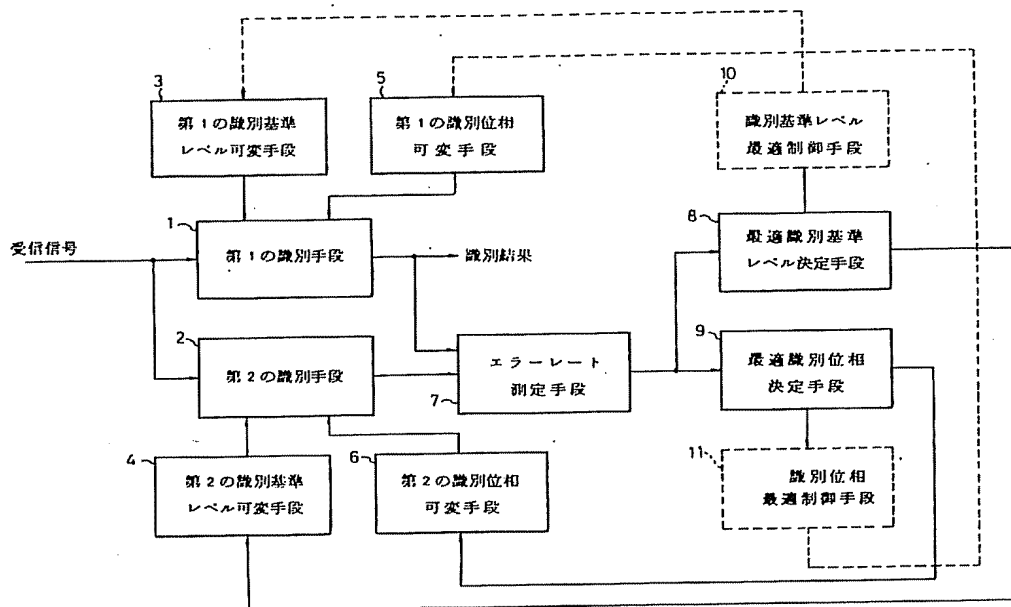
弁理士 平 岩 賢 三

弁理士 山 口 昭 之

弁理士 西 山 雅 也

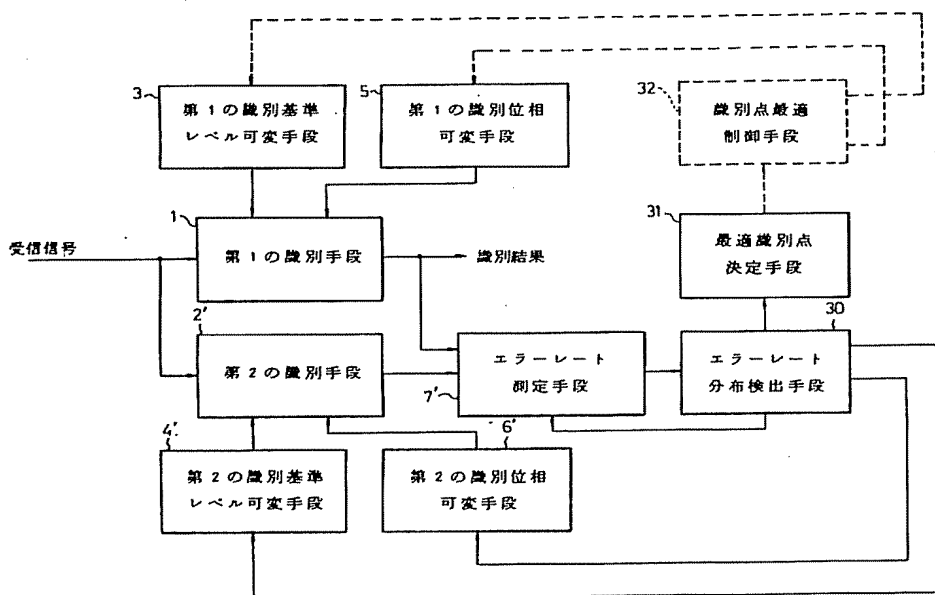


特開平4-54043 (22)



本発明の第1の形態の基本構成を示す図

第1図



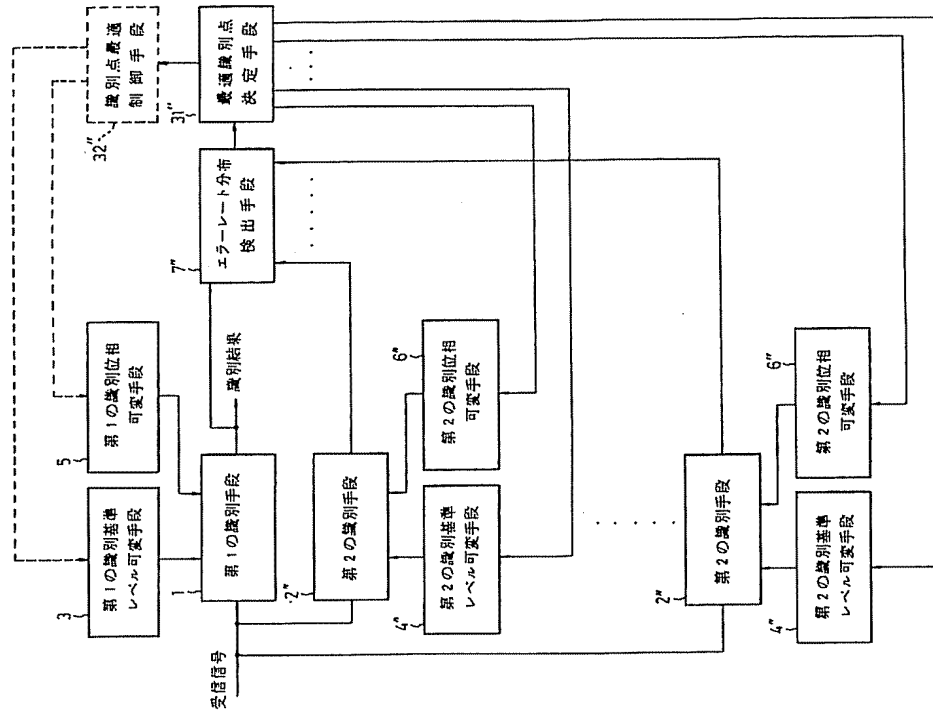
本発明の第2の形態の基本構成を示す図

第2図

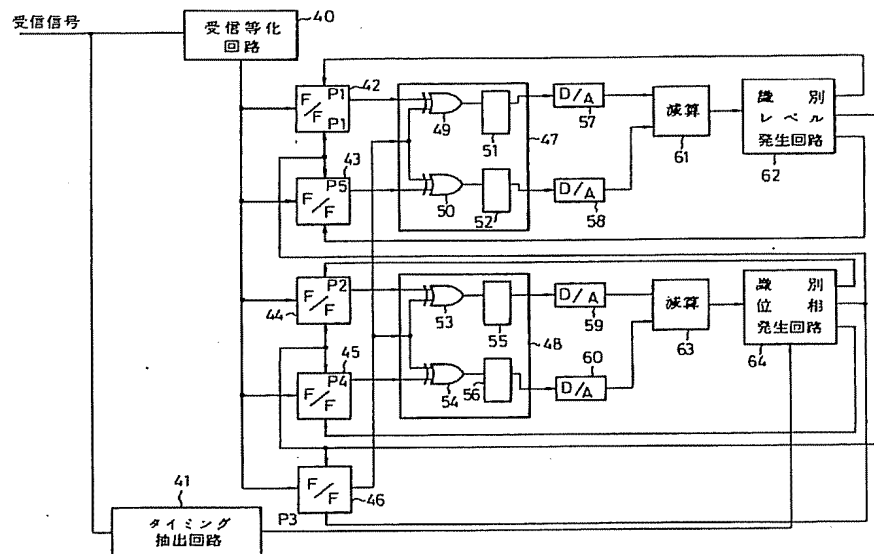




特開平4-54043 (23)



第3図  
本発明の第5の形態の基本構成を示す図

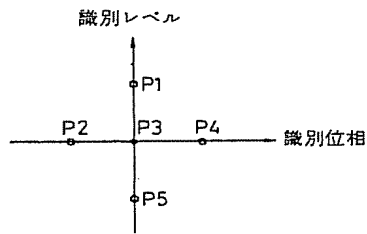


本発明の第1の実施例の構成を示す図

第4図

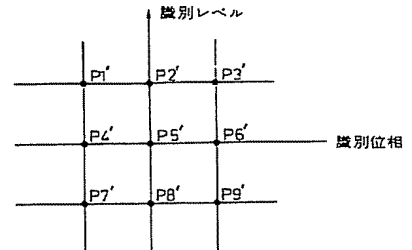


特開平4-54043 (24)



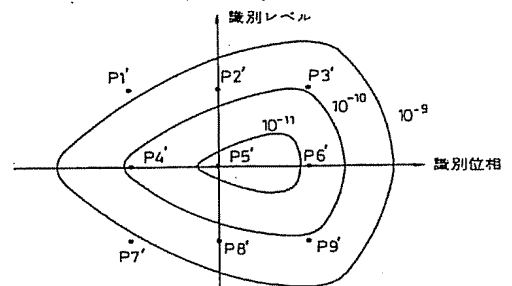
本発明の第1および第2の実施例における  
識別点を示す図

第5図



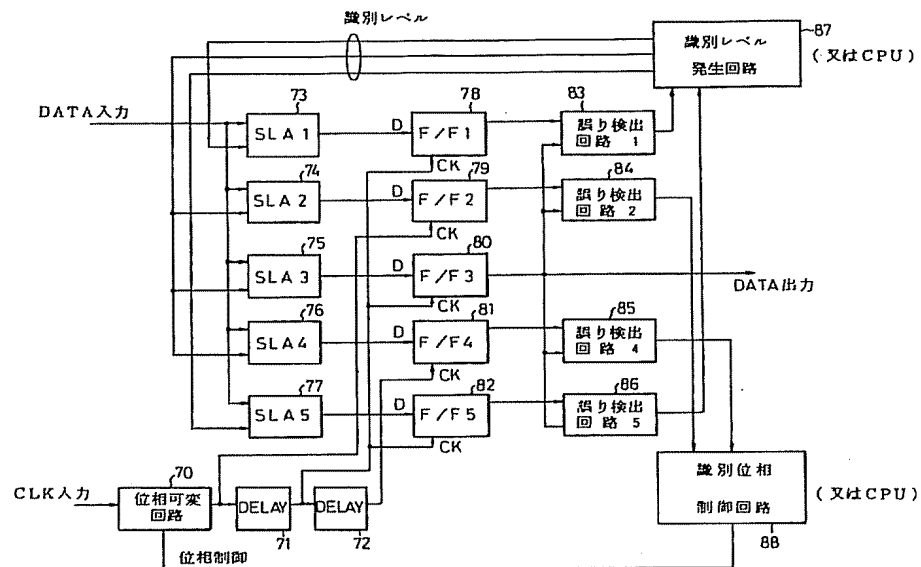
本発明の第3の実施例における識別点を示す図

第8図



本発明の第3の実施例において検出される  
誤差分布の一例を示す図

第9図

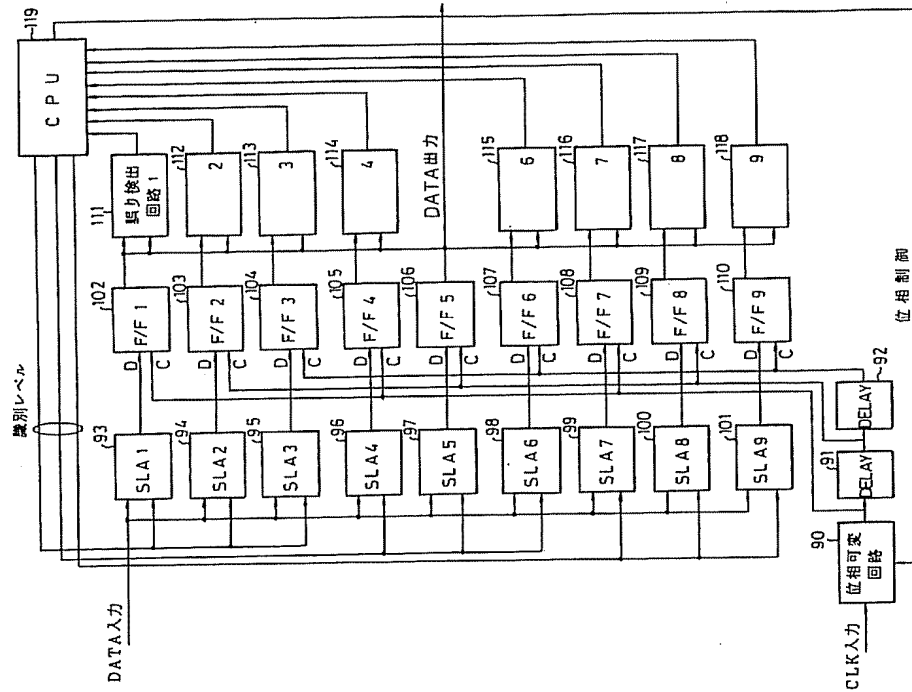


本発明の第2の実施例の構成を示す図

第6図

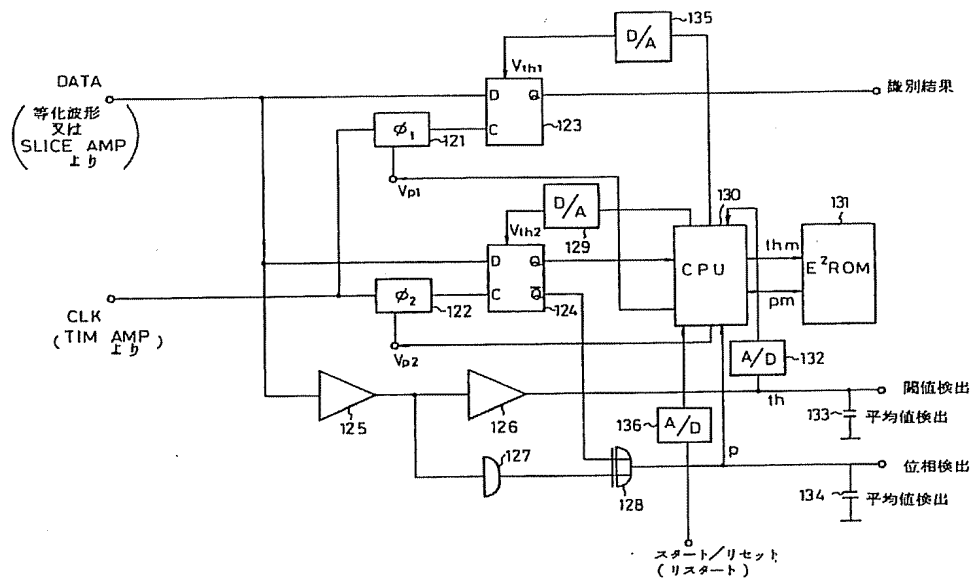


特開平4-54043 (25)



本発明の第3の実施例の構成を示す図

第7図

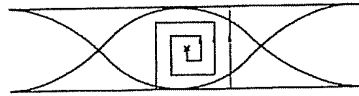


本発明の第4の実施例の構成を示す図

第10図

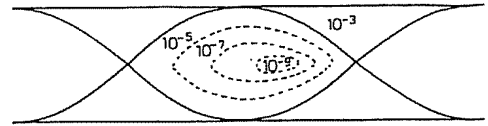


特開平4-54043 (26)



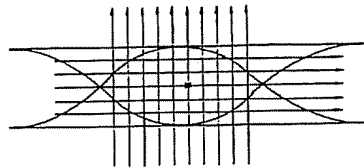
本発明の第4の実施例における  
ファイバースコープ分析手順の一例を示す図

第11図



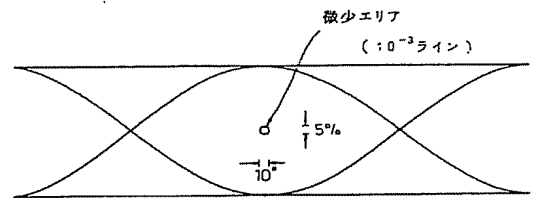
ファイバースコープの分析結果の一例を示す図

第13図



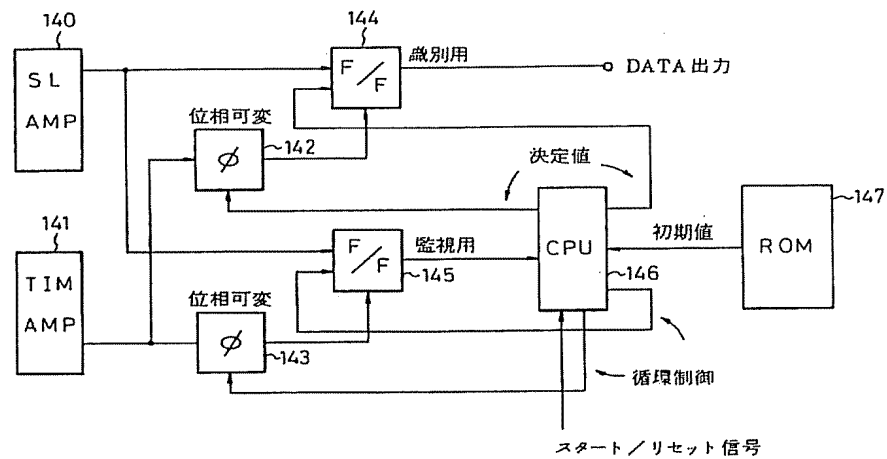
本発明の第4の実施例における  
ファイバースコープ分析手順の一例を示す図

第12図



信号断判定のための微小エリアを示す図

第14図



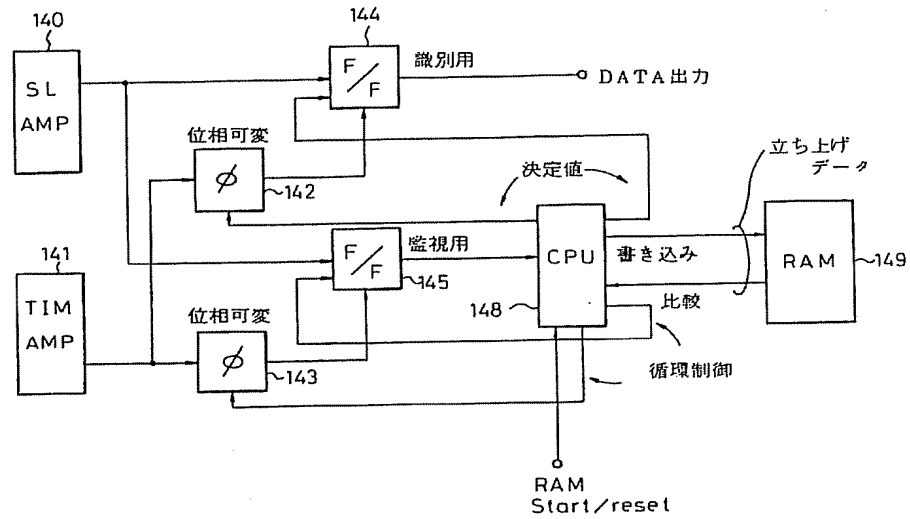
本発明の第5の実施例の構成を示す図

第15図



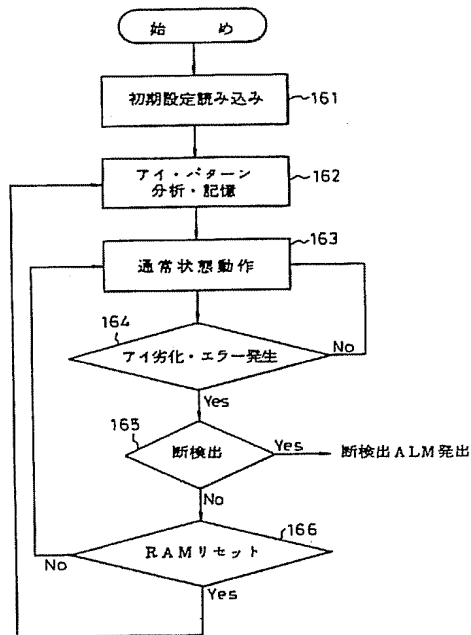


特開平4-54043 (27)



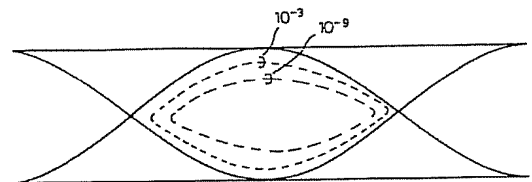
本発明の第6の実施例の構成を示す図

第 16 図



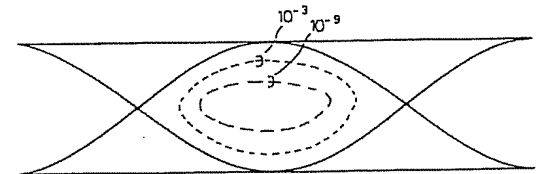
本発明の第6の実施例の手順の概略を示す図

第 17 図



回線立ち上げ時におけるアイパターンの一例を示す図

第 18 図

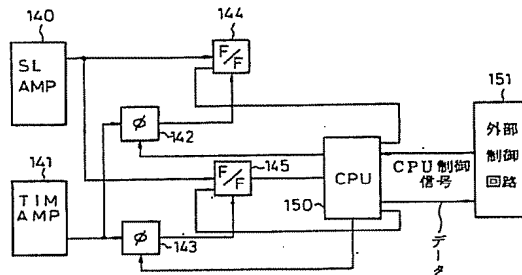


使用中に変化したアイパターンの1例を示す図

第 19 図



特開平4-54043 (28)



本発明の第7の実施例の構成を示す図

第20図

第1頁の続き

⑦発明者	島	道	和	神奈川県川崎市中原区上小田中1015番地	富士通株式会社内
⑦発明者	八	子	宏	神奈川県川崎市中原区上小田中1015番地	富士通株式会社内
⑦発明者	津	田	高至	神奈川県川崎市中原区上小田中1015番地	富士通株式会社内
⑦発明者	長	久	保 惣功	神奈川県川崎市中原区上小田中1015番地	富士通株式会社内